

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—48827

⑤ Int. Cl.<sup>3</sup>  
H 03 K 13/02

識別記号

庁内整理番号  
8024—5 J

⑬ 公開 昭和57年(1982)3月20日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ デジタル—アナログ変換器

⑮ 特 願 昭56—104553

⑯ 出 願 昭56(1981)7月6日

優先権主張 ⑰ 1980年7月9日 ⑱ オランダ  
(NL) ⑲ 8003948

⑳ 発 明 者 ルデイ・ヨハン・ファン・デ・  
ブラツシエ

オランダ国アインドーフエン・  
ピエテル・ゼーマンストラート  
6

㉑ 出 願 人 エヌ・ベー・フィリップス・フ  
ルーイランペンファブリケン  
オランダ国アインドーフエン・  
エマシングル29

㉒ 代 理 人 弁理士 杉村暁秀 外1名

明 細 書

1. 発明の名称 デジタル—アナログ変換器

2. 特許請求の範囲

1. 複数のほぼ等しい電流を発生する電流源回  
路と、

直換回路とを具備、この直換回路は前記電  
流を、この直換回路の出力端子に複数の電流  
が得られるような周期的置換によつて直換回  
路の出力端子に前記電流を切換え、この電流  
の直流成分は正確な相互比例関係にあり、こ  
の電流の交流誤差成分は前記電流源回路によ  
つて発生される電流の不等性によつて決定さ  
れ、

さらに、デジタル入力信号を受信する入力  
端子と、

このデジタル入力信号によつて定められた  
アナログ出力信号が得られる出力端子と、

前記直換回路の出力端子に得られる電流か  
ら前記アナログ出力信号を前記デジタル入力  
信号の関数として取出す組合せ回路と、

を具備するデジタル—アナログ変換器におい  
て、

前記組合せ回路の出力信号を、前記サイク  
ル時間またはその整数倍に等しい平均化周期  
にわたつて平均化する平均化回路と、

この平均化回路の出力信号を、各平均化周  
期の終りにサンプリングするサンプリング回路と、

前記平均化周期が前記サイクル時間または  
その整数倍に等しくなるように、前記平均化  
回路と前記直換回路とを同期させ、かつ、前  
記組合せ回路の設定が前記平均化周期の間に  
変化しないように前記組合せ回路と前記平均  
化回路とを同期させる同期回路と、

を具備することを特徴とするデジタル—アナ  
ログ変換器。

2. 特許請求の範囲第1項に記載のデジタル—  
アナログ変換器において、前記平均化回路を  
積分器とし、この積分器が各平均化周期の終  
りにこの積分器をリセットするリセット回路  
を有することを特徴とするデジタル—アナロ

Best Available Copy

ログ変換器。

3. 特許請求の範囲第2項に記載のデジタル-アナログ変換器において、前記積分器が、入力端子と出力端子との間に第1コンデンサを有する演算増幅器と、この第1コンデンサをバイパスするリセットスイッチと、切換えスイッチを設けた第2コンデンサとを具え、この切換えスイッチは、前記第2コンデンサを前記平均化周期の間に前記組合せ回路の出力端子に接続し、前記第2コンデンサを各平均化周期の終りに前記演算増幅器の入力端子に接続することを特徴とするデジタル-アナログ変換器。

4. アナログ-デジタル変換器に用いられ、アナログ信号電流入力端子を前記組合せ回路の出力端子に接続した特許請求の範囲1項に記載のデジタル-アナログ変換器において、リセットスイッチと並列の積分コンデンサを、前記組合せ回路の出力端子と、各平均化周期の終りでクロックされる比較器の入力端子と

に接続し、この比較器の出力が、デジタル信号をデジタル-アナログ変換器の入力端子に供給するデジタル信号発生器を制御することを特徴とするデジタル-アナログ変換器。

### 3. 発明の詳細な説明

本発明は、デジタル-アナログ変換器に関するものである。この変換器は、

複数のほぼ等しい電流を発生する電流源回路と、置換回路とを具え、この置換回路は前記電流を、この置換回路の出力端子に複数の電流が得られるような周期的置換によつて置換回路の出力端子に前記電流を切換え、この電流の直流成分は正確な相互比例関係にあり、この電流の交流誤差成分は前記電流源回路によつて発生される電流の不等性によつて決定され、

さらに、デジタル入力信号を受信する入力端子と、

このデジタル入力信号によつて定められたアナログ出力信号が得られる出力端子と、

前記置換回路の出力端子に得られる電流から前

記アナログ出力信号を前記デジタル入力信号の関数として取出す組合せ回路とを具えている。

このようなデジタル-アナログ変換器は、米国特許第3,982,172号明細書(特公昭54-28,098「精密電流源装置」)および米国特許第4,125,803号明細書(特開昭52-132,765号「電流分配装置」)により既知の動的置換原理を用いている。この原理によれば、正確な相互比例を有する電流が、循環置換に従つてほぼ等しい電流を出力に切換えることによつて発生し、このため各初期電流の平均値に対する相対誤差は、各出力電流において1サイクルあたり同じように発生する。その結果、各出力電流は、初期電流の平均値に、したがつて他の出力電流の各直流成分に非常に正確に比例する直流成分を示す。初期電流間の相互偏位は、前記出力電流に交流成分として表われる。この交流成分は、最高の信号周波数に対する置換周波数により、および初期電流の相互比例により、不所望なものとなる。

前記交流成分が不所望ならば、これらを置換回

路の各出力端子にフィルタ・コンデンサを付加することによつてろ波することができる。したがつて残りの直流電流によつて、組合せ回路によつて何んらの問題もなくデジタル-アナログ変換が可能である。このようなる波の欠点は、前記コンデンサを、たとえば16ビット・デジタル-アナログ変換器に対して16個のコンデンサを用いることである。これらコンデンサは、多くの応用たとえばラジオ技術における応用において、非常に多数の追加の端子を要求するようなデジタル-アナログ変換器を有する集積回路の外部に設けなければならぬ。

本発明の目的は、前記不所望な交流成分を、置換回路の出力端子にコンデンサを付加することなしに除去するデジタル-アナログ変換器を提供することにある。

本発明デジタル-アナログ変換器は、

前記組合せ回路の出力信号を、前記サイクル時間またはその整数倍に等しい平均化周期にわたつて平均化する平均化回路と、

この平均化回路の出力信号を、各平均化周期の終りにサンプルするサンプリング回路と、

前記平均化周期が前記サイクル時間またはその整数倍に等しくなるように、前記平均化回路と前記置換回路とを同期させ、かつ、前記組合せ回路の設定が前記平均化周期の間に変化しないように前記組合せ回路と前記平均化回路とを同期させる同期回路とを具えることを特徴とするものである

本発明は、一見して組合せ回路の出力端子における波が、前記交流成分の混変調および組合せ回路の切換え過渡現象が信号スペクトル内に発生するので不可能ではあるが、前記交流成分を、置換サイクルの期間またはその整数倍の期間に等しい期間にわたって組合せ回路の出力信号を平均化することにより前記交流成分を除去することができ、組合せ回路の設定を前記周期内に保持するという認識に基いている。

本発明の実施例は、前記平均化回路を積分器とし、この積分器が各平均化周期の終りにこの積分器をリセットするリセット回路を有することができ

きる。

この実施例では、さらに、前記積分器が、入力端子と出力端子との間に第1コンデンサを有する演算増幅器と、この第1コンデンサをバイパスするリセットスイッチと、切換えスイッチを設けた第2コンデンサとを具え、この切換えスイッチは、前記第2コンデンサを前記平均化周期の間に前記組合せ回路の出力端子に接続し、前記第2コンデンサを各平均化周期の終りに前記演算増幅器の入力端子に接続することができる。

アナログ-デジタル変換器に用いられ、アナログ信号電流入力端子を前記組合せ回路の出力端子に接続した本発明デジタル-アナログ変換器において、リセットスイッチと並列の積分コンデンサを、前記組合せ回路の出力端子と、各平均化周期の終りでクロックされる比較器の入力端子とに接続し、この比較器の出力が、デジタル信号をデジタル-アナログ変換器の入力端子に供給するデジタル信号発生器を制御するのが好適である。

以下、本発明を図面に基いて詳細に説明する。

第1図は、本発明デジタル-アナログ変換器の原理を示すブロック図、第2図は、第1図に示す変換器の動作を示すためのいくつかの信号波形を示す図である。

この変換器は、たとえば米国特許第3,982,172号および第4,125,803号明細書に記載されているように、正確に相互比例する複数の電流一本実施例では、たとえば2進重みつき値(binary weighted values)  $I_0, I_0/2, I_0/4$  および  $I_0/8$  を有する4つの電流  $I_1, I_2, I_3, I_4$  を発生する発生器を具えている。他方、1つの段およびこのような既知の段(米国特許第3,982,172号明細書の第6図)を継続に用いることもできることに注意すべきである。一般に、この発生器はマルチプル電流源1を具えている。この電流源は、置換回路2にほぼ等しい複数の電流を供給する。この置換回路は、回路3たとえばシフトレジスタの制御のもとで、その出力端子に所望電流  $I_1, I_2, I_3, I_4$  が所望の相互比例で得られるような周期的循環接続パターンを発生する。このことは前記特許明

細書にわかりやすく記載されている。このようにして電流  $I_1 \sim I_4$  が得られる。電流  $I_1 \sim I_4$  と回路3を制御するクロック信号  $c_1$  とを、第2図に示す。この実施例では、電流は置換回路2のすべての4ステップを循環する。これら4つのステップはサイクル時間  $T$  を決定する。各電流は、交流電流が重畳する必要な直流成分を有している。この交流成分は、電流源1によつて供給される電流の相対差によつて決定され、サイクル時間  $T$  にわたって零に等しい平均値を有する。

このような2進重みつき電流列によつて、デジタル-アナログ変換が可能となる。このためには組合せ回路4を設け、入力端子5を経てデジタル入力信号が供給される制御回路5の命令によつて、電流  $I_1 \sim I_4$  のいくつかを出力端子12に伝達する。出力端子12には、アナログ出力電流  $I_a$  が同時に発生する。

第2図は、デジタル信号1001(第1図は組合せ回路4の対応する設定を示す)、1010および1000を瞬時  $t_0, t_1, t_2$  で連続的に変換するときの

前記電流  $i_a$  を示す。制御回路 5 は、クロック信号  $c_2$  によつて次のように制御するものとする。すなわち、組合せ回路 4 が、各サイクルの初めに、この実施例では瞬時  $t_0$ 、 $t_1$ 、 $t_2$ 、 $t_3$  で切換えられて、サイクル時間  $T$  にわたつて出力信号  $i_a$  の中の誤差成分が零に等しい平均値を有するようにする。

出力信号  $i_a$  を、平均化回路 6、この実施例では積分器に供給する。回路 6 は、各周期  $T$  後に、クロック信号  $c_3$  の命令で初期値にリセットされる。平均化回路 6 の出力信号  $i_m$  は、誤差成分によつて発生されるリップル（簡単にするために図示していない）を有する第 2 図に示すのこぎり波形を有する。この出力信号  $i_m$  は、各サイクル時間  $T$  後に、直流成分（この実施例では  $9/8 I_0$ 、 $10/8 I_0$ 、 $I_0$ ）のみが積分された値を有している。その理由は、誤差成分はサイクル時間  $T$  にわたつて零に等しい平均値を有するからである。各サイクルの終りに、すなわち瞬時  $t_0$ 、 $t_1$ 、 $t_2$ 、 $t_3$  に、積分器 6 がリセットされ、この終期の直前に、各積分サイクルの最終値を、クロック信号  $c_4$  の命令でサンプル

ホールド回路 7 によつてサンプルしホールドする。出力端子 9 の出力信号  $i_0$  は、誤差成分のない信号  $i_a$  に相当し、1 サイクル時間  $T$  にわたりシフトされている。

クロック発生器 11-9 と例えば発振器 10 を有する一は、種々のクロック信号  $c_1 \sim c_4$  を供給する。実際には、たとえば平均化回路 6 がリセットされる前にサンプリングを行うためには、第 2 図には同時に発生するように示されている信号  $c_1 \sim c_4$  間に実際には遅延を与えなければならないことは明らかである。このためには、たとえばクロック信号  $c_1$  の 1 周期の待合せ時間 (waiting time) を、必要ならば積分サイクル間に挿入することができる。さらに、正確にするために、得られる帯域が許容するならば、複数のサイクルにわたつて平均化を行うことができる。この場合には、回路 5 を経てのデジタルデータ入力およびサンプリングを、複数のサイクルあたり 1 回のみ行うことができる。

第 3 図は、平均化回路 6 の例を有する本発明デ

ジタル-アナログ変換器の一実施例を示す。この図において、ブロック 13 は、回路 1、2、3、4、5 を有する第 1 図の回路配置部分を示す。平均化回路 6 は、演算増幅器 18 を具え、この出力端子と反転入力端子との間にコンデンサ 16 を有している。このコンデンサは、クロック信号  $c_3$  の命令で動作されるリセットスイッチ 17 によつてバイパスされている。実際のデジタル-アナログ変換器 13 の出力端子 12 を、クロック信号  $c_3$  によつて制御される切換スイッチ 15 の一方の極に接続し、このスイッチの他方の極を増幅器 18 の反転入力端子に接続し、共通極を増幅器 18 の非反転入力端子および大地に接続する。実際には、スイッチ 15 および 17 は、一般に P E T のようなスイッチング・トランジスタによつて構成する。

1 平均化周期  $T$  間にスイッチ 15 および 17 は、図示の位置にある。この場合、デジタル-アナログ変換器 13 の出力電流  $i_a$  は、コンデンサ 16 を充電する。充電が周期  $T$  間に行われるならば、交流成分が除去される。各サイクルの終りに、スイッ

13 が切り、スイッチ 17 が開く。演算増幅器 18 の動作によつて、コンデンサ 16 の電荷がコンデンサ 16 の方へ移送され、サンプル・ホールド回路 7 の入力端子に、1 周期  $T$  にわたり信号  $i_a$  の平均値の測定である電圧が発生する。サンプル・ホールド回路 7 がサンプルを得た後に、スイッチ 15 および 17 が図示の位置にリセットされ、コンデンサ 16 が放電する。

第 4 図は、逐次近似法 (successive - approximation principle) に基づいたアナログ-デジタル変換器内に本発明デジタル-アナログ変換器を用いる状態を示す。この近似法によると、D-A 変換器 13 は入力端子 8 にデジタル信号を受信し、その結果出力端子 12 に発生するアナログ信号を、比較器 20 において変換すべきアナログ信号  $I_a$  と比較する。その後、比較に基づいて、入力端子 8 のデジタル信号をデジタル信号発生器 21 を経て変化させる。この手順は、入力端子 8 のデジタル信号がアナログ信号  $I_1$  を最も近似するまで連続的に繰返して行う。この場合、デジタル信号はア

ナログ信号  $I_a$  のデジタル値を表わしている。

本発明の原理を、比較器 20 の入力端子に、クロック信号  $c_3$  によつて制御されるスイッチ 22 によつて各周期  $T$  後に放電される積分コンデンサ 23 を設ける実施例に適用する。この場合、比較器 20 はクロック信号  $c_4$  を受信する。このクロック信号は、各平均化周期の終りにのみ比較が行われるようにする。

平均化周期は、第 2 図に示すように直換周期と正確に同期する必要はない。唯一の要求は、平均化周期が直換周期またはその整数倍と同じ期間を有することである。

本発明は、前述の実施例に限定されるものではない。平均化回路、サンプル・ホールド回路等は、既知の技術に従つて構成することができる。

#### 4 図面の簡単な説明

第 1 図は、本発明デジタル・アナログ変換器の原理を説明するためのブロック線図、

第 2 図は、第 1 図に示す変換器の動作を説明するためのいくつかの信号波形を示す図、

第 3 図は、平均化回路を詳細に示した本発明デジタル・アナログ変換器の一実施例を示す図、

第 4 図は、本発明デジタル・アナログ変換器をアナログ・デジタル変換器に用いた例を示す図である。

1 … マルチプル電流源、2 … 直換回路、3 … シフトレジスタ回路、4 … 組合せ可動、5 … 制御回路、6 … 平均化回路、7 … サンプル・ホールド回路、11 … クロック発生器、12 … コンデンサ、13、17 … スイッチ、14 … 演算増幅器、15 … 比較器、21 … デジタル信号発生器、22 … 積分コンデンサ。

特許出願人 エヌ・ベー・フリッブス・フルーイランベンフアブリケン

代理人弁理士 杉 村 曉 秀

同 弁理士 杉 村 興 作

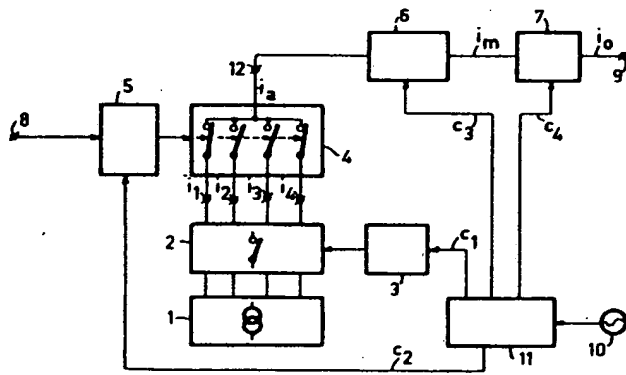


FIG.1

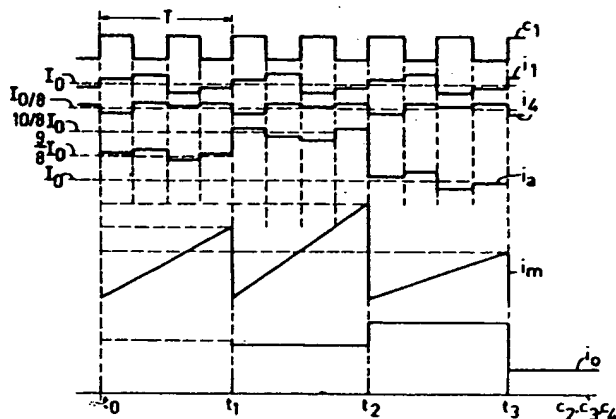


FIG.2

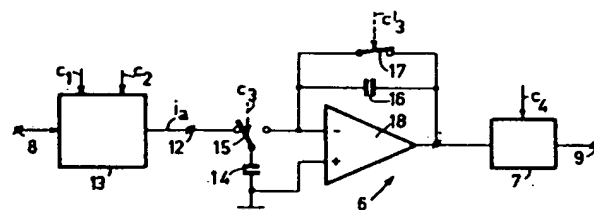


FIG.3

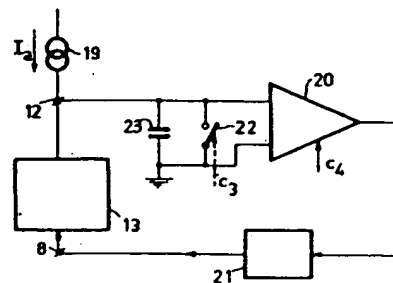


FIG.4